



## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **08181728 A**(43) Date of publication of application: **12.07.96**

(51) Int. Cl. **H04L 27/20**  
**H02J 7/00**  
**H02J 7/00**  
**H04B 1/40**  
**H04B 7/26**  
**H04L 27/22**

(21) Application number: **06320769**(22) Date of filing: **22.12.94**(71) Applicant: **MITSUBISHI ELECTRIC CORP**

(72) Inventor: **NAGATA YOSHISHIGE**  
**TAKAHIRA KENICHI**

(54) **MODULATOR FOR READ/WRITE DEVICE FOR IC CARD, DEMODULATOR THEREOF, AND ANTENNA COUPLING CIRCUIT THEREOF AND METHOD SUPPLYING POWER TO IC CARD.**

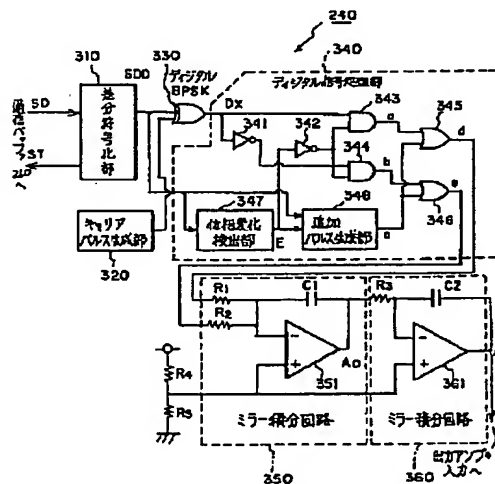
phase is constant and the resulting signal is outputted from a modulator.

COPYRIGHT: (C)1996,JPO

## (57) Abstract:

**PURPOSE:** To attain efficient modulation for high speed transmission data and to attain efficient power conversion by allowing a 2nd Miller integration circuit to output a sine signal whose phase is constant so as to suppress a signal at an undesired side band.

**CONSTITUTION:** A modulation section (XOR gate) 330 of a modulator of the read/write device for an IC card applies binary phase shift keying modulation to a signal. Then a change point of the phase of the modulated signal is detected by a phase change detection section 347. A signal processing section (digital signal processing section) 340 revises the modulated signal at a phase change point for a half period into a signal with a double amplitude and double frequency. A revised signal is integrated by a 1st Miller integration circuit 350 to be a triangle signal. The triangle signal outputted from the 1st Miller integration circuit 350 is given to a 2nd Miller integration circuit 360, in which the signal is integrated into a sine wave signal whose



(19)日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11)特許番号

第2866016号

(45)発行日 平成11年(1999) 3月 8日

(24)登録日 平成10年(1998)12月18日

(51)Int.Cl. <sup>8</sup>	識別記号	F I
H 0 4 L 27/20		H 0 4 L 27/20 Z
H 0 2 J 7/00	3 0 1	H 0 2 J 7/00 3 0 1 D
	3 0 3	3 0 3 A
H 0 4 B 1/40		H 0 4 B 1/40 L
7/26		

請求項の数 5 (全 17 頁) 最終頁に続く

(21)出願番号 特願平6-320769

(22)出願日 平成 6 年(1994)12月22日

(65)公開番号 特開平8-181728

(43)公開日 平成 8 年(1996) 7月12日

審査請求日 平成 8 年(1996) 5月16日

(73)特許権者 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目 2 番 3 号

(72)発明者 永田 良茂

神戸市兵庫区和田崎町 1 丁目 1 番 2 号

三菱電機株式会社 制御製作所内

(72)発明者 高比良 賢一

伊丹市瑞原 4 丁目 1 番地 三菱電機株式

会社 北伊丹製作所内

(74)代理人 弁理士 田澤 博昭 (外 2 名)

審査官 北村 智彦

(58)調査した分野(Int.Cl.<sup>8</sup> , D B 名)

H04L 27/00 - 27/38

(54)【発明の名称】 ICカードのリード・ライト装置の変調器、その復調器

1

(57)【特許請求の範囲】

【請求項 1】 非接触用の IC カードのリード・ライト装置に用いられる変調器において、前記 IC カードに送信すべき信号を差分符号化する差分符号化部と、前記差分符号化された信号と搬送波周波数のパルスとを排他的論理和をとることによってバイナリ・位相シフト・キーイングの変調をする変調部と、前記バイナリ・位相シフト・キーイングの変調をする変調部出力と前記差分符号化部の出力とを入力し、通常は前記バイナリ・位相シフト・キーイングの変調をする変調部出力をそのまま出力するが、前記差分符号化部出力が反転する場合、前記バイナリ・位相シフト・キーイングの変調をする変調部出力の搬送波周波数の最初の半サイクルの間に、前記差分符号化部の出力信号の極性に依じて "1"、"0" または "0"、"1" として出力させて第一の論理和回路

2

と、同様に通常は前記バイナリ・位相シフト・キーイングの変調をする変調部出力を逆極性にして出力するが、前記差分符号化部出力が反転する場合、前記バイナリ・位相シフト・キーイングの変調をする変調部出力の搬送波周波数の最初の半サイクルの間には、前記第一の論理和回路と同一の信号出力を行う第二の論理和回路と、前記第一の論理和回路と第二の論理和回路とをそれぞれ入力し、3:1の割合で抵抗加算させるが抵抗器およびコンデンサおよびオペアンプからなる第一のミラー積分回路において、抵抗加算結果としては通常はレベル 1/2 の前記バイナリ・位相シフト・キーイングの変調をする変調部出力パルスが、前記バイナリ・位相シフト・キーイングの変調をする変調部出力の搬送波周波数の最初の半サイクルの間には、レベルの "1"、"0" または "0"、"1" 信号出力が想定されるが、ミラー積分によ

りすべてレベル1の三角波に変換され、この出力を第二のミラー積分回路を通すことにより正弦波に置き換えて出力するが、通常はレベル1の搬送波周波数のバイナリ・位相シフト・キーイングの変調波であるが、前記バイナリ・位相シフト・キーイングの変調をする変調部出力の搬送波周波数の最初の半サイクルの間には搬送波周波数の2倍の周波数でレベル1/2の変調波となり、搬送波位相を正弦波で連続的に変化させるバイナリ位相シフト・キーイングの変調波を供給する第二のミラー積分回路とを備えたことを特徴とする非接触用のICカードのリード・ライト装置の変調器。

【請求項2】 前記信号処理部は前記の符号化部出力と前記バイナリ・位相シフト・キーイングの変調をする変調部出力とを入力するが、前記差分符号化部出力を入力し、その極性変化を検出し、極性変化後の最初の搬送波周波数の半サイクルの間”1”のパルスを作成する位相変化検出部とその出力を前記差分符号化部出力の極性に比べて、”1”、”0”または”0”、”1”とする追加パルス生成部と、位相変化検出部が”0”の間、前記バイナリ・位相シフト・キーイングの変調をする変調部出力をそのまま通すが、前記位相変化検出部が”1”の間は前記追加パルス生成部出力を通す第一の論理和回路と、位相変化検出部が”0”の間、前記バイナリ・位相シフト・キーイングの変調をする変調部出力の反転回路によって反転された信号をそのまま通すが、前記位相変化検出部が”1”の間は前記第一の論理和回路と同一信号を出させる第二の論理和回路とからなり、前記第一の論理和回路の出力と前記第二の論理和回路の出力とを前記請求項1に示すように3:1で電圧加算させる電圧加算手段とを備えたことを特徴とする請求項1記載の非接触用のICカードのリード・ライト装置の変調器。

【請求項3】 前記電圧加算手段は、一端が前記第1の論理回路の出力に接続され、他端が前記第1のミラー積分回路のオペアンプの非反転入力端子に接続された第1の抵抗器と、一端が前記第2の論理回路の出力に接続され、他端が前記非反転入力端子に接続された第2の抵抗器とを有し、前記第1の抵抗器の抵抗値と前記第2の抵抗器の抵抗値は、1対3であり、これらの抵抗器は前記第1のミラー積分回路の入力抵抗を兼ねていることを特徴とする請求項2記載のICカードのリード・ライト装置の変調器。

【請求項4】 ICカードのリード・ライト装置に用いられ、キャリア同期部とビット同期部とを有する復調器において、前記キャリア同期部は、キャリア同期信号を発生するキャリア同期信号生成回路と、前記ICカードから送られてきたバイナリ・位相シフト・キーイング変調された信号と前記キャリア同期信号発生回路で生成されたキャリア同期信号とが入力される排他的論理和回路と、前記リード・ライト装置のクロックパルスを計数し、前記排他的論理和回路の出力信号によってアップ計

数か、ダウン計数かが制御される同期ゲートカウンタと、前記同期ゲートカウンタの計数を前記キャリア同期信号の半周期間実行して前記バイナリ・位相シフト・キーイング変調された信号のレベルを多数決判定して前記キャリア同期信号と前記バイナリ・位相シフト・キーイング変調された信号とが同相であるか、逆相であるかを判定する多数決判定部と、前記キャリア同期信号の半周期の前半、後半の期間で前記バイナリ・位相シフト・キーイング変調された信号のパルスの長さを比較する前後半比較部と、前記多数決判定部の判定結果と前記前後半比較部の比較結果とに基づいて前記キャリア同期信号が前記バイナリ・位相シフト・キーイング変調された信号に対して位相が進んでいるか、遅れているかを判定して前記キャリア同期信号生成回路を制御して前記キャリア同期信号の位相制御を実行する同期制御部とを備えたことを特徴とするICカードのリード・ライト装置の復調器。

【請求項5】 前記ビット同期部は、前記キャリア同期部の前記多数決判定部の出力信号と前記キャリア同期信号とを入力して多数決判定により復調データを出力するとともに、ビット同期のとれた受信タイミング信号を出力することを特徴とする請求項4記載のICカードのリード・ライト装置の復調器。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は非接触IC(Integrated Circuit)カード通信システムに用いられる変復調回路に関するものである。

【0002】

【従来の技術】 図14は、特公平5-20798等に記載されている従来のICカード通信システムの構成を示す図である。同図において、10は非接触式のICカードを示しており、11はICカード10に設けられた送受信用のループアンテナを示している。また、20はICカード10へのデータの書込み、ICカード10からのデータの読出しのための制御を行うリード・ライト装置を示しており、21はリード・ライト装置20に設けられたループアンテナを示している。

【0003】 次に動作について説明する。図14に示すように、ICカード10のループアンテナ11とリード・ライト装置20のループアンテナ21との間でパルス状の信号を伝送することでデータの書込み、読出し等が行われる。また、ICカード10に必要な電力はリード・ライト装置20から送られる電磁波のエネルギーによって供給される。

【0004】 しかしながら、以上説明したようなパルス状の信号を空間中を伝送する場合には不要側波帯が生じ、人工雑音も増加する。さらに、遅延を伴う周波数特性を有する空間伝送路では、高速で高信頼度のデータ伝送を行うことができない。また、パルス状の信号を用い

てICカード10への電力を供給する場合にはスペクトラムが広がってしまうために効率の高い電力供給をすることができない。

【0005】

【発明が解決しようとする課題】以上のように、パルス状の信号が空間中を伝送する場合には不要側波帯が生じ、人工雑音も増加し、さらに、遅延を伴う周波数特性を有する空間伝送路では、高速で高信頼度のデータ伝送を行うことができないという問題があった。また、パルス状の信号を用いてICカード10への電力を供給する場合にはスペクトラムが広がってしまうために効率の高い電力供給をすることができないなどの問題点があった。

【0006】この発明は、上記のような問題点を解消するためになされたもので、高速で信頼性の高いデータ伝送を行うことができるとともに、ICカードに効率良く電力を供給することのできるICカードのリード・ライト装置の変調器、その復調器及びそのアンテナ結合回路、並びにICカードに電力を供給する方法を提供することを目的とする。

【0007】

【課題を解決するための手段】この発明に係るICカードのリード・ライト装置の変調器は、非接触用のICカードのリード・ライト装置に用いられる変調器において、前記ICカードに送信すべき信号を差分符号化する差分符号化部と、前記差分符号化された信号と搬送波周波数のパルスとを排他的論理和を取ることによってバイナリ・位相シフト・キーイングの変調をする変調部と、前記バイナリ・位相シフト・キーイングの変調をする変調部出力と前記差分符号化部の出力とを入力し、通常は前記バイナリ・位相シフト・キーイングの変調をする変調部出力をそのまま出力するが、前記差分符号化部出力が反転する場合、前記バイナリ・位相シフト・キーイングの変調をする変調部出力の搬送波周波数の最初の半サイクルの間に、前記差分符号化部の出力信号の極性に応じて“1”、“0”または“0”、“1”として出力させて第一の論理和回路と、同様に通常は前記バイナリ・位相シフト・キーイングの変調をする変調部出力を逆極性にして出力するが、前記差分符号化部出力が反転する場合、前記バイナリ・位相シフト・キーイングの変調をする変調部出力の搬送波周波数の最初の半サイクルの間には、前記第一の論理和回路と同一の信号出力を行う第二の論理和回路と、前記第一の論理和回路と第二の論理和回路とをそれぞれ入力し、3：1の割合で抵抗加算させるが抵抗器およびコンデンサおよびオペアンプからなる第一のミラー積分回路において、抵抗加算結果としては通常はレベル1/2の前記バイナリ・位相シフト・キーイングの変調をする変調部出力パルスが、前記バイナリ・位相シフト・キーイングの変調をする変調部出力の搬送波周波数の最初の半サイクルの間には、レベルの”

1”、“0”または“0”、“1”信号出力が想定されるが、ミラー積分によりすべてレベル1の三角波に変換され、この出力を第二のミラー積分回路を通すことにより正弦波に置き換えて出力するが、通常はレベル1の搬送波周波数のバイナリ・位相シフト・キーイングの変調波であるが、前記バイナリ・位相シフト・キーイングの変調をする変調部出力の搬送波周波数の最初の半サイクルの間には搬送波周波数の2倍の周波数でレベル1/2の変調波となり、搬送波位相を正弦波で連続的に変化するバイナリ位相シフト・キーイングの変調波を供給する第二のミラー積分回路とを備えたものである。

【0008】この発明に係るICカードのリード・ライト装置の変調器は、前記信号処理部が前記の符号化部出力と前記バイナリ・位相シフト・キーイングの変調をする変調部出力とを入力するが、前記差分符号化部出力を入力し、その極性変化を検出し、極性変化後の最初の搬送波周波数の半サイクルの間“1”のパルスを作成する位相変化検出部とその出力を前記差分符号化部出力の極性に応じて、“1”、“0”または“0”、“1”とする追加パルス生成部と、位相変化検出部が“0”の間、前記バイナリ・位相シフト・キーイングの変調をする変調部出力をそのまま通すが、前記位相変化検出部が“1”の間は前記追加パルス生成部出力を通す第一の論理和回路と、位相変化検出部が“0”の間、前記バイナリ・位相シフト・キーイングの変調をする変調部出力の反転回路によって反転された信号をそのまま通すが、前記位相変化検出部が“1”の間は前記第一の論理和回路と同一信号を出させる第二の論理和回路とからなり、前記第一の論理和回路の出力と前記第二の論理和回路の出力とを前記請求項1に示すように3：1で電圧加算させる電圧加算手段とを備えたものである。

【0009】この発明に係るICカードのリード・ライト装置の変調器は、請求項2の発明において、電圧加算手段は、一端が第1の論理回路の出力に接続され、他端が第1のミラー積分回路のオペアンプの非反転入力端子に接続された第1の抵抗器と、一端が第2の論理回路の出力に接続され、他端が非反転入力端子に接続された第2の抵抗器とを有し、第1の抵抗器の抵抗値と第2の抵抗器の抵抗値は、1対3であり、これらの抵抗器は第1のミラー積分回路の入力抵抗を兼ねていることを特徴としている。

【0010】この発明に係るICカードのリード・ライト装置の復調器は、キャリア同期部とビット同期部とを有し、キャリア同期部は、キャリア同期信号を発生するキャリア同期信号生成回路と、ICカードから送られてきたバイナリ・位相シフト・キーイング変調された信号とキャリア同期信号発生回路で生成されたキャリア同期信号とが入力される排他的論理和回路と、リード・ライト装置のクロックパルスを計数し、排他的論理和回路の出力信号によってアップ計数か、ダウン計数かが制御さ

れる同期ゲートカウンタと、同期ゲートカウンタの計数をキャリア同期信号の半周期間実行してバイナリ・位相シフト・キーイング変調された信号のレベルを多数決判定してキャリア同期信号とバイナリ・位相シフト・キーイング変調された信号とが同相であるか、逆相であるかを判定する多数決判定部と、キャリア同期信号の半周期の前半、後半の期間で前記バイナリ・位相シフト・キーイング変調された信号のパルスの長さを比較する前後半比較回路と、多数決判定部の判定結果と前後半比較回路の比較結果とに基づいてキャリア同期信号がバイナリ・位相シフト・キーイング変調された信号に対して位相が進んでいるか、遅れているかを判定してキャリア同期信号生成回路を制御して前記キャリア同期信号の位相制御を実行する同期制御回路とを備えたものである。

【0011】この発明に係るICカードのリード・ライト装置の復調器は、請求項4の発明において、ビット同期部は、キャリア同期部の多数決判定回路の出力信号とキャリア同期信号とを入力して多数決判定により復調データを出力するとともに、ビット同期のとれた受信タイミング信号を出力することを特徴としている。

【0012】

【作用】この発明におけるICカードのリード・ライト装置の変調器は、変調部によりバイナリ・位相シフト・キーイングの変調が行われる。そして、変調された信号の位相の変化点が位相変化検出部によって検出される。位相変化点における変調された信号の半周期を、この信号の2倍の周波数で2倍の振幅の信号に信号処理部によって変更される。変更された信号は、第1のミラー積分回路によって積分されて三角波状の信号になる。第1のミラー積分回路から出力された三角波状の信号は第2のミラー積分回路によって積分されて位相が連続した正弦波状の信号となって、変調器から出力される。

【0013】この発明におけるICカードのリード・ライト装置の変調器の信号処理部は、位相変化点において搬送波周波数の2倍の周波数のパルス1周期が追加パルス生成部によって生成される。変調された信号は反転回路によって反転される。変調された信号と追加パルス生成部で生成されたパルスとの論理和が第1の論理和回路によって取られる。また、第2の論理和回路では反転回路によって反転された信号と追加パルス生成部で生成されたパルスとが入力され論理和が取られる。そして、第1の論理和回路の出力と第2の論理和回路の出力とが電圧加算手段で電圧加算される。

【0014】この発明におけるICカードのリード・ライト装置の変調器は、電圧加算手段として一端が第1の論理回路の出力に接続され、他端が第1のミラー積分回路のオペアンプの非反転入力端子に接続された第1の抵抗器と、一端が第2の論理回路の出力に接続され、他端が非反転入力端子に接続された第2の抵抗器とが用いられる。第1の抵抗器の抵抗値と第2の抵抗器の抵抗値

は、1対3であり、これらの抵抗器は第1のミラー積分回路の入力抵抗を兼ねている。

【0015】この発明におけるICカードのリード・ライト装置の復調器のキャリア同期部では、キャリア同期信号生成回路によってキャリア同期信号が発生される。排他的論理和回路には、ICカードから送られてきたバイナリ・位相シフト・キーイング変調された信号とキャリア同期信号発生回路で生成されたキャリア同期信号とが入力され、排他的論理和が取られる。同期ゲートカウンタは、リード・ライト装置のクロックパルスを計数し、排他的論理和回路の出力信号によってアップ計数か、ダウン計数かが制御されると、同期ゲートカウンタの計数をキャリア同期信号の半周期間実行する。多数決判定部はバイナリ・位相シフト・キーイング変調された信号のレベルを多数決判定してキャリア同期信号とバイナリ・位相シフト・キーイング変調された信号とが同相であるか、逆相であるかを判定する。前後半比較部は、キャリア同期信号の半周期の前半、後半の期間で前記バイナリ・位相シフト・キーイング変調された信号のパルスの長さを比較する。そして、多数決判定部の判定結果と前後半比較部の比較結果とに基づいて、同期制御部は、キャリア同期信号がバイナリ・位相シフト・キーイング変調された信号に対して位相が進んでいるか、遅れているかを判定してキャリア同期信号生成回路を制御してキャリア同期信号の位相制御を実行する。

【0016】この発明におけるICカードのリード・ライト装置の復調器のビット同期部は、キャリア同期部の多数決判定部の出力信号とキャリア同期信号とを入力して多数決判定により復調データを出力するとともに、ビット同期のとれた受信タイミング信号を出力する。

【0017】

【実施例】実施例1.

以下、この発明の一実施例を図について説明する。図1はこの発明の変調器、復調器、アンテナ結合回路を用いたICカード通信システムの構成を示す図である。図において、100は非接触式のICカード、110は1チップICであり、プログラム、データ等が格納されているROM111と、一時的にデータを格納しワーキングエリア等として用いられるRAM112と、プログラムの処理を実行するCPU113と、入出力制御部114と、データバス115と、変復調部116とを有する。120は1チップIC110にクロックを供給するための水晶発振回路、130は電波を放射、受信するためのループ・アンテナ、140はループ・アンテナ130で受信した電波から電力を発生させ、1チップIC110等に電力を供給する制御を行う電源制御部、150は電源用のコンデンサである。

【0018】一方、200はICカード100に対してデータの書込み、読出しを行うリード・ライト装置、210は電波を放射、受信するためのループ・アンテナ、

10

20

30

40

50

220はループ・アンテナ210とリード・ライト装置200の送受信部とを結合する結合回路、260は通信データを一時的に格納する通信バッファであって、この通信バッファ260から出力された信号は変調器240によってBPSK（バイナリ・フェイズ・シフト・キーイング）による変調が成され、出力アンプ（送信部）230で増幅されて結合回路220に入力される。一方、結合回路220から出力された受信信号は受信アンプ

（受信部）232で増幅された後、リミッタ234で所定のレベルの矩形状波に変換された後、復調器250で受信信号の復調が行われて通信バッファ260に出力される。270はマイクロコンピュータボードであり、基準クロックを発生する水晶発振回路271と、プログラム、データ等が格納されているROM273と、プログラムを実行するCPU272と、データを一時的に格納してワーキングエリア等として使用されるRAM274と、プログラマブルタイマ275と、他の装置との間でケーブルを介してデータ通信を行うためのシリアル通信部276と、パラレルインターフェイス277とを有している。280は電源であり、商用電源ラインからの交流を所定の電圧の直流に変換してリード・ライト装置200の各部に供給する電源部である。

【0019】図2は図1に示すICカード通信システムの機能を示す系統図である。同図に示すようにリード・ライト装置200は送信機能と受信機能に分けられる。送信機能は制御データ送信機能F201、電力送信機能F202とからなる。受信機能はICカードからのデータを受信するカードデータ受信機能F203のみである。一方、ICカードは制御データ送信機能F201に対して制御データ受信機能F204が対応し、制御データ送信機能F201および電力送信F202に対して交流・直流変換機能F205が対応し、送信波である交流を直流に変換してこの電力をICカードの各部回路の必要部分に電源が供給される。電源供給時または電源維持期間に各部制御機能F206においては制御データによりデータ書き込み読み出し動作などの制御が行われ、読み出し制御時にICカードからのデータがカードデータ送信機能F207によって送信される。

【0020】図3は図1に示す変調器240の詳細な構成を示す図である。同図において310は通信バッファ260からの通信データを差分符号化する差分符号化部、320は差分符号化された信号をBPSK信号に変換するためのキャリア・パルスを生成するキャリア・パルス生成部、330はXORゲート（変調部）であり、デジタルBPSK信号を出力する。340は2値の信号の変換をするデジタル信号処理部（信号処理部）であり、差分符号化部310の出力信号の位相変化を検出する位相変化検出部347と位相変化時にパルスを1つ追加する追加パルス生成部348とを有する。また、350、360はミラー積分回路であり、それぞれ、オペ

アンプ351、361とを有している。なお、デジタル信号処理部340の出力端のORゲート（第1の論理和回路）345、ORゲート（第2の論理和回路）346の出力は抵抗器R1、R2を介してオペアンプ351の反転入力端子に入力される。なお抵抗器R1の値と抵抗R2の値との比は1対3になっている。

【0021】次に動作について説明する。図4は図3に示す変調器の各部の信号の波形を示す図である。差分符号化部310から通信バッファ260にビット同期信号STを与えると送信データSDが差分符号化部310に出力される。差分符号化部310では送信データSDの値を位相変化する信号に変換する。すなわち、送信データSDが“0”であるならば、ビット同期信号STのタイミングに合わせて、差分符号化部310の出力SDDは以前の状態が“0”であれば“1”へ、“1”ならば“0”へ変化させる。一方、送信データSDが“1”であるならば、出力SDDの以前の状態は変化させない。差分符号化部310の出力SDDとキャリアパルス生成部から出力された一定の搬送波周波数のパルス列とがXORゲート330に入力されて排他的論理和が取られてデジタルBPSK信号DXが出力される。一方、位相変化検出部347が信号SDDの位相変化を検出した場合には搬送波の半周期の間、パルス信号Eを出力する。追加パルス生成部348ではパルス信号Eが出力されると、信号SDDの極性に依じて搬送波の倍の周波数のパルスを1サイクル分パルスcとして出力する。すなわち、信号SDDが“1”のときは信号パルスEの前半に出力され、“0”のときは後半に出力される。ANDゲート343にはBPSK信号DXと位相検出部347の出力がインバータ342によって反転された信号が入力される。従って、BPSK信号DXは、この信号が正極性であって、且つ、信号Eが“0”であるときにANDゲート343から出力されて、パルス信号aとなる。一方、ANDゲート344にはBPSK信号がインバータ（反転回路）341によって反転された信号と位相変化検出部347の出力信号Eがインバータ342によって反転された信号とが入力される。従って、BPSK信号DXの反転信号が正極性であって、かつ、信号Eが“0”であるときにBPSK信号DXの反転信号がANDゲート344から出力されて、パルス信号bとなる。ORゲート345には信号aと信号cとが入力されてパルス信号dを出力し、ORゲート346には信号bと信号cとが入力されてパルス信号eを出力する。すなわち、信号dは信号Eが“0”のときはBPSK信号DXであり、信号Eが“1”のときは、信号cのパルスである。一方、信号eは信号Eが“0”のときはBPSK信号DXの反転信号であり、信号Eが“1”のときは信号cのパルスである。

【0022】ORゲート345、346の出力信号d、eは抵抗器R1、R2によって電圧加算されて図4の信



号fになる。ここで、抵抗器R1の抵抗値と抵抗器R2の抵抗値の比は1対3であるので信号Eが"0"の場合には抵抗器による電圧加算の結果として振幅 $1/2$  ( $3/4 - 1/4$ ) Vの信号を出力し、信号Eが"1"のときは、周波数が信号DXの2倍で振幅が $1$  ( $3/4 + 1/4$ ) Vのパルス信号になる。この信号fは抵抗器R1、R2を入力抵抗とするミラー積分回路350で積分されて三角波状の信号A<sub>0</sub>が得られる。すなわち、抵抗器R1、R2は信号d、eの信号の加算の比率を決めるのに用いられるとともに、ミラー積分回路350の入力抵抗としても用いられる。さらにミラー積分回路350の出力信号はミラー積分回路360によって再び積分されて正弦波状の信号A<sub>1</sub>になる。すなわち、信号A<sub>1</sub>は、信号Eが"0"の場合にはピーク振幅値1、信号Eが"1"の場合にはピーク振幅値 $1/2$ 、周波数が2倍の正弦波状の信号になる。以上のようにこの変調器240では位相が連続の正弦波状の信号のBPSK信号をデジタル回路とアナログ回路から簡単な構成により作成できる。

#### 【0023】実施例2.

図5はこの発明の実施例2による復調器の概略的な構成を示す図である。なお、本実施例の復調器は実施例1の図1に示すICカード通信システムのリード・ライト装置200の復調器250として用いられるものであり、図1に示すICカード通信システムの構成および動作については実施例1で述べているので重複する説明は省略する。

【0024】図5に示すように、復調器250はXORゲート（排他的論理和）410、440と、キャリア同期部420と、クロックパルス生成部430と、ビット同期部450とから構成されている。キャリア同期部420とXORゲート410とにより入力信号であるBPSK信号が同相であるか逆相であるかを比較する。このため、XORゲート410の入力にはリミッタ234からのBPSK信号とキャリア同期部420の内部で作成されるキャリア同期信号が入力される。XORゲート410の出力は信号処理がなされ、入力信号であるBPSK信号の同相、逆相が多数決判定され、その結果が判別信号として出力される。さらに作成されたキャリア同期信号の位相に対しキャリア同期信号の位相が遅れているか進んでいるかを判別し、遅れていればキャリア同期信号の位相を進め、進んでいればキャリア同期信号の位相を遅らす同期制御が行われる。

【0025】また、ビット同期部450は、上述したキャリア同期部420とほぼ同様の構成で同様の制御が行われてビット同期が行われる。しかしながら、BPSK信号の代わりにキャリア同期信号から出力される判別信号が入力され、クロックパルスの代わりにキャリア同期信号が入力される。また、判別信号の代わりに受信ビットRDを出力し、キャリア同期信号の代りに受信ビット

タイミングRTを出力する。なお、受信ビットRDは差分符号化され復調データとなる。

【0026】図6は、図5のキャリア同期部420の構成を示すブロック図である。同図において、510は同期ゲートカウンタ（SGC）であり、XORゲート410の出力信号でクロックパルスをカウントアップするかカウントダウンするかが制御される。520は多数決判定部であり、搬送波周波数の半周期間、同期ゲートカウンタ510（SGC）が計数した結果に基づいてXORゲート410の出力が半周期のうち"0"、"1"のどちらが多いかを判定する。530はXORゲートであり、XORゲート410の出力信号と2倍の周波数のキャリア同期信号2CSSが入力される。また、540は同期比較カウンタ（SCC）であり、XORゲート530の出力信号で同期比較カウンタ（SCC）の計数モード、すなわち、カウント・アップするかカウント・ダウンするかが制御される。このため、キャリア同期信号CSSの半周期の前半と後半でカウント動作が反転する。550は前後半比較部であり、キャリア同期信号の半周期の間の同期比較カウンタ540（SCC）のカウント結果に基づいて入力信号の位相がキャリア同期信号に対して進んでいるか遅れているかを判定する。560は同期制御部であり、多数決判定部520および前後半比較部550の判定結果に基づいてキャリア同期信号CSSの位相の進み、遅れを補正する信号を発生する。キャリア同期カウンタ（キャリア同期信号生成回路）570（CSC）は同期制御部560から出力する信号に基づいて、キャリア同期信号の位相が遅れている場合には、この位相を進め、キャリア同期信号の位相が進んでいるときにはこの位相を遅らせるようにしてキャリア同期信号を発生させる。なお、制御タイミング作成部580はキャリア同期カウンタ570（CSC）の出力に応じて適切なタイミングで位相制御が行われるようにタイミングを作成する。

【0027】次に動作について説明する。XORゲート410はBPSK信号とキャリア同期カウンタ570（CSC）が作成したキャリア同期信号CSSを入力し、出力は両入力と同相ならば"0"、逆相ならば"1"を出力する。同期ゲートカウンタ510（SGC）はアップダウンカウンタであり入力されるクロックパルスを計数する。また、同期ゲートカウンタ510（SGC）は、XORゲート410の出力が"1"ならばアップ、"0"ならばダウン計数する。この計数結果は多数決判定部520へ送られ、"0"と"1"のどちらが多いかが判定される。一方、XORゲート530には、XORゲート410の出力と、キャリア同期信号CSSの2倍の周波数でCSS信号の前半か後半かを判別するための信号2CSSとが入力される。XORゲート530の出力はキャリア同期信号CSSの前半と後半とでXORゲート410の出力信号をそのまま出力するものと反

転させたものになる。そして、この信号により同期比較カウンタ540(SCC)はキャリア同期信号CSSの前半と後半とでクロックパルスの計数のカウントのモードが変わることになる。そして、前後半比較部550でキャリア同期信号CSSの半周期の前半と後半とでパルスの長さが比較される。そして、同期制御部560において、キャリア同期カウンタ570の最終カウント状態時に、多数決判定部520の判定結果および前後半比較部550の比較結果に基づいてキャリア同期信号CSSの位相の進み、遅れを判定し、その結果、キャリア同期信号の位相の進み、遅れに対して、キャリア同期カウンタ570のカウント開始時に、キャリア同期信号の位相を遅らせる、進める制御を行う。このような、キャリア同期カウンタ570の最終カウントのタイミング、次の周期のカウント開始のタイミングは制御タイミング作成部580によって作成される。

【0028】図7は、図6にそのブロック図を示したキャリア同期部420の具体的な回路例である。510はアップダウンカウンタで構成された同期ゲートカウンタ(SGC)。520は多数決判定部であり、インバータ521と、ANDゲート522、523、525とアップカウントの桁上げ用のメモリであるDラッチフリップフロップ524と、ANDゲート525の出力をラッチするDラッチフリップフロップ526とから構成されている。ANDゲート525は、XORゲート410の出力の"1"の信号の方が"0"の信号より長い場合には"0"を出力し、"0"の信号の方が"1"の信号より長い場合には"1"を出力する。Dラッチフリップフロップ526はANDゲート525の出力をキャリア同期信号の半周期の最終タイミングでラッチし、次の半周期の最終タイミングまで保持する。また、540はアップダウンカウンタで構成される同期比較カウンタ(SCC)であり、前記XORゲート530出力によりカウントアップダウンを制御し、クロック信号NCKをカウントする。550は前後半比較部であり、4入力NORゲート551を有し、同期比較カウンタ(SCC)の計数値を入力する。従って、このNORゲート551の出力はキャリア同期信号の半周期における入力信号の前後半が一致したか否かを示す前後半一致信号EQLを出力する。また、同期比較カウンタ540のMSB出力0dは前後半比較信号CMPを出力する。この信号は前記同期比較カウンタ(SCC)の最上位桁出力ビットであるが、ボロビットに相当し、出力"1"であることはアップダウン計数結果がマイナスであることを示す。560は同期制御部であり、インバータ561、563、ANDゲート564、565、XORゲート562とを有している。XORゲート562は信号MDTと信号CMPとが入力され、これらの極性が一致した場合には"0"を出力してキャリア同期信号に対して入力されるBPSK信号の位相の進みを示す。また、2つの信号の極性が不

致の場合には"1"を出力して位相の遅れを示す。ANDゲート564は同期カウンタ進み信号SCUを出力し、ANDゲート565は同期カウンタ遅れ信号SCDを出力する。制御タイミング作成部580は、ANDゲート581、582、584、585、586、587、ORゲート583、Dラッチフリップフロップ588、589、591を有している。フリップフロップ589はキャリア同期カウンタ570(CSC)の位相進め信号FCを出力する。フリップフロップ591はキャリア同期カウンタ570(CSS)の位相遅れ信号BCを出力する。ORゲート583は通常はクロック信号NCKを一定周期で出力するが信号FCが出力された場合にはRCKパルスを1つ加え、信号BCが出力された場合にはNCKパルスを1つ分出力しないようにする。この結果、キャリア同期信号CSSは位相制御される。ANDゲート584はキャリア同期信号CSSの半周期の終わりを示す信号PSTを出力する。ANDゲート587はリセット処理タイミングとしてLD信号を出力する。なお、599はANDゲートを示している。

【0029】図8は図7の回路によって、入力BPSK信号に対して、キャリア同期カウンタ570(CSC)の動作に合わせて、同期ゲートカウンタ570(SGC)、同期比較カウンタ540(SCC)のカウント状態と、キャリア同期カウンタ570(CSC)の最終カウント状態"7"における多数決判定部520の出力信号MDT、前後半比較部550の出力信号CMPの判定結果とを表にしたものである。

【0030】図8において、キャリア同期信号CSSに対して、BPSK入力信号の同期一致を1件、位相遅れの場合を3件、位相進みの場合を3件示し、キャリア同期カウンタCSCのカウント状態、ボロ状態および同期制御判定条件であるMDT、EQL、CMPの判定結果を示しており、EQL="0"時、MDTとCMPとの極性が一致している場合には位相進みの状態である。反対に、極性不一致の場合には位相遅れの状態である。

【0031】回路の構成から判断すると、BPSK信号とキャリア同期信号CSSとを入力とするXORゲート410の出力結果により、同期ゲートカウンタSGCのアップダウンは制御され、多数決判定論理により、XORゲート410の出力結果は"1"が多いか"0"が多いかが、すなわち信号極性が判定される。

【0032】一方、XORゲート410の出力と2CSSとを入力するXORゲート出力によりキャリア同期信号CSSの前後半で比較計数される同期カウンタSCCの前後半比較CMP出力は入力位相の進み遅れを判断に関係しているが、XORゲート410の出力結果、すなわち信号極性に応じて位相の進み遅れの判断は逆転されることが推定できる。

【0033】また、MDT="1"のときは同相であり、MDT="0"のときは逆相であり、この信号MD

10

20

30

40

50



Tは、そのまま、ビット同期部450に出力される。さらに、 $EQL = "1"$  のときは、入力信号の進み、遅れはないので位相制御はしない。 $EQL = "0"$  のときは、以下のように判定される。すなわち、信号MDTと信号CMPとの排他的論理和が $"1"$  の場合にはキャリア同期信号CSSが入力信号に対して遅れていると判定してキャリア同期カウンタ570(CSC)を1つ進める。また、信号MDTと信号CMPとの排他的論理和が $"0"$  の場合にはキャリア同期信号が入力信号に対して進んでいると判定してキャリア同期カウンタ570を1つ遅らせる。

【0034】以上のように、デジタル回路による多数決判別ロジックによりBPSK復調および同期位相制御を行うため高速データ伝送を多数決判別論理により高精度で実現できる。

#### 【0035】実施例3.

図9はこの発明の実施例3によるアンテナ結合回路を示す図である。この結合回路は実施例1の図1で説明した結合回路220として用いられるものである。図に示すように結合トランスTはアンテナ用巻線603と送信用巻線604、受信用巻線605を有している。出力アンプ230の出力は送信用巻線604に接続されているとともに可変抵抗器(抵抗器)609、抵抗610を介してグラウンドレベルに落とされている。受信用巻線605は抵抗607を介してオペアンプ606の反転入力端子に接続されている。またオペアンプ606の反転入力端子と出力端子との間は抵抗608が接続されている。また、オペアンプの非反転入力端子は可変抵抗器609の摺動端子に接続されている。

【0036】次に動作について説明する。変調器240から出力アンプ230を介して送信データおよび電力供給用の正弦波が結合トランスTの送信用巻線604に供給される。この信号は電磁誘導により、アンテナ巻線603に供給されループアンテナ210から電磁波として空間へ送信される。この電磁波は近接のICカードに送られる。なお、602は共振用コンデンサである。可変抵抗器609によって送信出力を、受信用巻線605に重畳される送信波出力と同レベルに分圧してオペアンプ606の非反転入力端子に供給することにより、受信用巻線605に重畳される送信波出力を相殺することができる。このため送信と受信を同時に行っても送信波が受信波に影響を及ぼさない。

【0037】また、図10のような構成によっても送受信を同時に行うことが可能になる。この場合には結合トランスTの送受信巻線612は送信と受信で共用することになる。

#### 【0038】実施例4.

図12はこの発明の実施例4によるICカード通信システムの連続送受信のタイミングを示す図である。

【0039】図に示すようにリード・ライト装置200

から近接のバッテリーレスのICカード100に対してデータの送信および電力の供給を行う。データの送信時はシリアルデータにより、BPSK変調された正弦波状信号を供給し、リード・ライト装置200の受信タイミングにおいてはICカード100に対して無変調の正弦波を供給する。このように一連の動作中一定レベルの送信を継続させることにより連続的に電力の供給が行われる。これは、図9または図10で示したアンテナ結合回路を用いて送信と受信を同時に行うことによって実現する。

#### 【0040】実施例5.

図11はこの発明の実施例5によるICカード通信システムの間欠送受信に用いられるアンテナ結合回路の構成を示す図である。図に示すように結合トランスの送受信用巻線612はリレースイッチ613によって送信時には出力アンプ230の出力端子に、受信時には抵抗607を介してオペアンプの反転入力端子に入力される。

【0041】図13はリード・ライト装置200とICカード100との間の間欠送受信のタイミングを示す図である。同図に示すように、リード・ライト装置200からICカード100にはカード制御用データが転送される。このカード制御用データはBPSK変調された正弦波状信号であり、ICカード100側で復調されると同時に電力変換される。この電力はICカード100内のコンデンサ等で保持され、ICカード100からリード・ライト装置200へのデータ伝送のために用いられる。また、ICカード100からリード・ライト装置へのデータ転送が長い時間行われる場合、あるいはICカードの電源保持時間が短い場合には、リード・ライト装置200は無変調の正弦波を間欠的に送信して、その信号をICカード100が電力変換することによって得られた電力を用いてICカード100はリード・ライト装置200に間欠的にデータを送信する。

#### 【0042】

【発明の効果】以上のように、この発明によれば、第2のミラー積分回路から位相が連続した正弦波状の信号を出力するように構成したので、不要側波帯を抑え、高速伝送に効率よく変調を行うことができるとともに、制御データの帯域が広がらないので制御データを電力変換する場合には、効率的な電力変換が可能にできる効果がある。

【0043】また、この発明によれば、信号処理部は位相変化点において搬送波周波数の2倍の周波数のパルスを生じさせる追加パルス生成部と、変調された信号を反転する反転回路と、変調された信号と追加パルス生成部で生成されたパルスとが入力される第1の論理回路と、反転回路によって反転された信号と追加パルス発生回路で発生したパルスとが入力される第2の論理回路と、第1の論理回路の出力と第2の論理回路の出力とを電圧加算させる電圧加算手段とによって構成さ

れているので、比較的、簡単な回路で実現でき、ローコストで信頼性の高い変調器を得られる効果がある。

【0044】また、この発明によれば、電圧加算手段は一端が第1の論理回路の出力に接続され、他端が第1のミラー積分回路のオペアンプの非反転入力端子に接続された第1の抵抗器と、一端が第2の論理回路の出力に接続され、他端が非反転入力端子に接続された第2の抵抗器とを有し、これらの抵抗器は第1のミラー積分回路の入力抵抗を兼ねるように構成したので、ローコストな変調器を得られる効果がある。

【0045】また、この発明によれば、キャリア同期部は、キャリア同期信号を発生するキャリア同期信号生成回路と、ICカードから送られてきたバイナリ・位相シフト・キーイング変調された信号とキャリア同期信号発生回路で生成されたキャリア同期信号とが入力される排他的論理和回路と、リード・ライト装置のクロックパルスを計数し、排他的論理和回路の出力信号によってアップ計数か、ダウン計数かが制御される同期ゲートカウンタと、同期ゲートカウンタの計数をキャリア同期信号の半周期間実行してバイナリ・位相シフト・キーイング変調された信号のレベルを多数決判定してキャリア同期信号とバイナリ・位相シフト・キーイング変調された信号とが同相であるか、逆相であるかを判定する多数決判定部と、キャリア同期信号の半周期の前半、後半の期間で前記バイナリ・位相シフト・キーイング変調された信号のパルスの長さを比較する前後半比較部と、多数決判定部の判定結果と前後半比較部の比較結果とに基づいてキャリア同期信号がバイナリ・位相シフト・キーイング変調された信号に対して位相が進んでいるか、遅れているかを判定してキャリア同期信号生成回路を制御して前記キャリア同期信号の位相制御を実行する同期制御部とを具備するように構成したので、高速のデータ伝送時にも高精度な復調をすることができる効果がある。

【0046】また、この発明によれば、キャリア同期部の多数決判定部の出力信号とキャリア同期信号とを入力して多数決判定により復調データと出力するとともに、ビット同期のとれた受信タイミング信号を出力するように構成したので多数決判定によりデータ復調が可能になるとともに、ビット同期も制御され、より高精度な復調をすることができる効果がある。

【図面の簡単な説明】

【図1】 この発明の変調器、復調器、アンテナ結合回路を用いたICカード通信システムの構成を示す図である。

【図2】 図1に示すICカード通信システムの機能を示す系統図である。

【図3】 図1に示す変調器の詳細な構成を示す図であ

る。

【図4】 図3に示す変調器の各部の信号の波形を示す図である。

【図5】 この発明の復調器の概略的な構成を示す図である。

【図6】 図5のキャリア同期部の構成を示すブロック図である。

【図7】 図6にブロック図を示したキャリア同期部の具体的な回路例を示す図である。

10 【図8】 図7の回路によって、入力BPSK信号に対して、キャリア同期カウンタの動作に合わせて、同期ゲートカウンタ、同期比較カウンタのカウント状態と、キャリア同期カウンタの最終カウント状態”7”における多数決判定部の出力信号、前後半比較部の出力信号の判定結果とを表にして示す図である。

【図9】 この発明の実施例3によるアンテナ結合回路を示す図である。

【図10】 送受信の巻線を共用、送受信を同時に行うことができるアンテナ結合回路の構成を示す図である。

20 【図11】 この発明の実施例5によるICカード通信システムの間欠送受信に用いられるアンテナ結合回路の構成を示す図である。

【図12】 この発明の実施例4によるICカード通信システムの連続送受信のタイミングを示す図である。

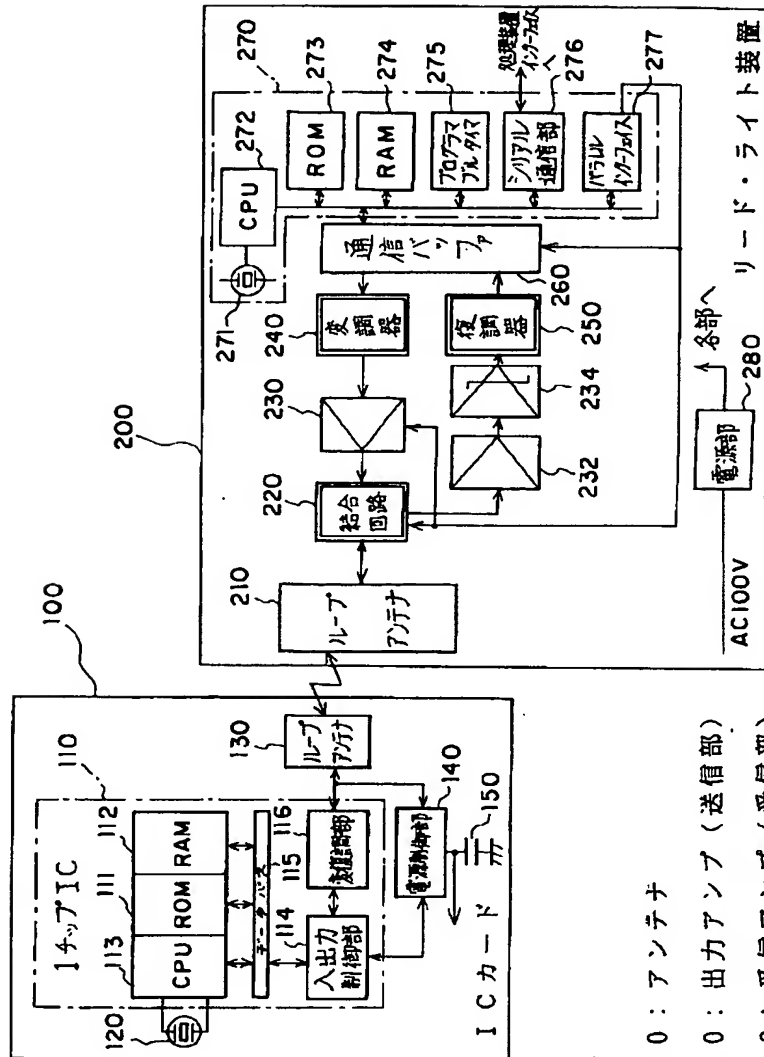
【図13】 この発明の実施例5によるリード・ライト装置とICカードとの間の間欠送受信のタイミングを示す図である。

【図14】 従来のICカード通信システムの構成を示す図である。

30 【符号の説明】

100 ICカード、200 リード・ライト装置、210 アンテナ、230 出力アンプ（送信部）、232 受信アンプ（受信部）、240 変調器、330 XORゲート（変調部）、340 デジタル信号処理部（信号処理部）、341 インバータ（反転回路）、345 ORゲート（第1の論理和回路）、346 ORゲート（第2の論理和回路）、347 位相変化検出部、348 追加パルス生成部、350、360 ミラー積分回路、410 XORゲート（排他的論理和回路）、420 キャリア同期部、450 ビット同期部、510 同期ゲートカウンタ、520 多数決判定部、550 前後半比較部、560 同期制御部、570 キャリア同期カウンタ（キャリア同期信号生成回路）、603 アンテナ用巻線、604 送信用巻線、605 受信用巻線、606 オペアンプ、609 可変抵抗器（抵抗器）、612 送受信用巻線、R1、R2 抵抗器（電圧加算手段）、T 結合トランス。

【図1】

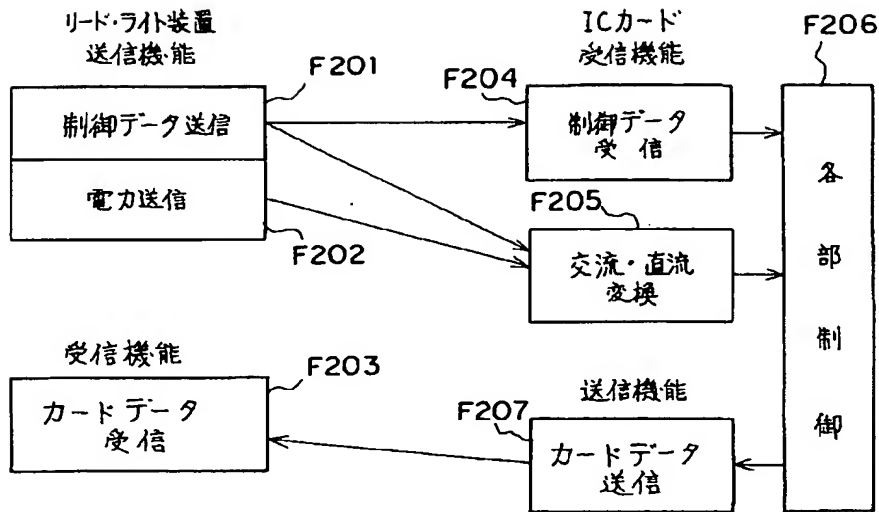


210: アンテナ

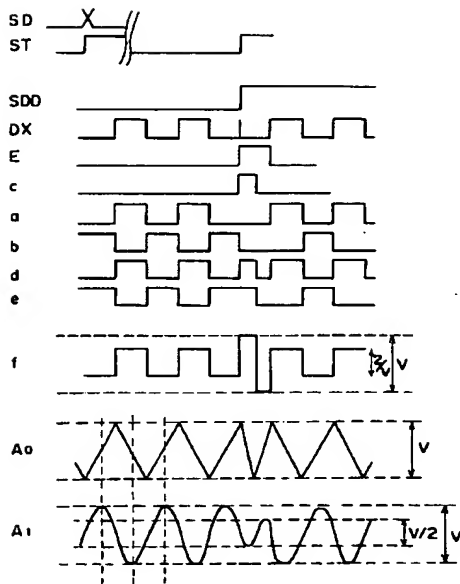
230: 出力アンプ (送信部)

232: 受信アンプ (受信部)

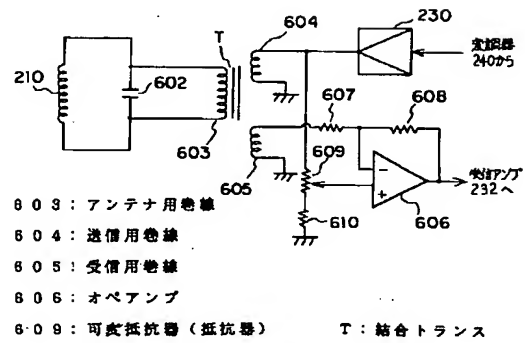
【図2】



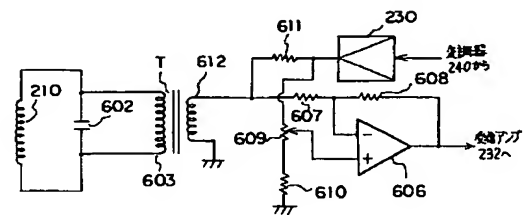
【図4】



【図9】

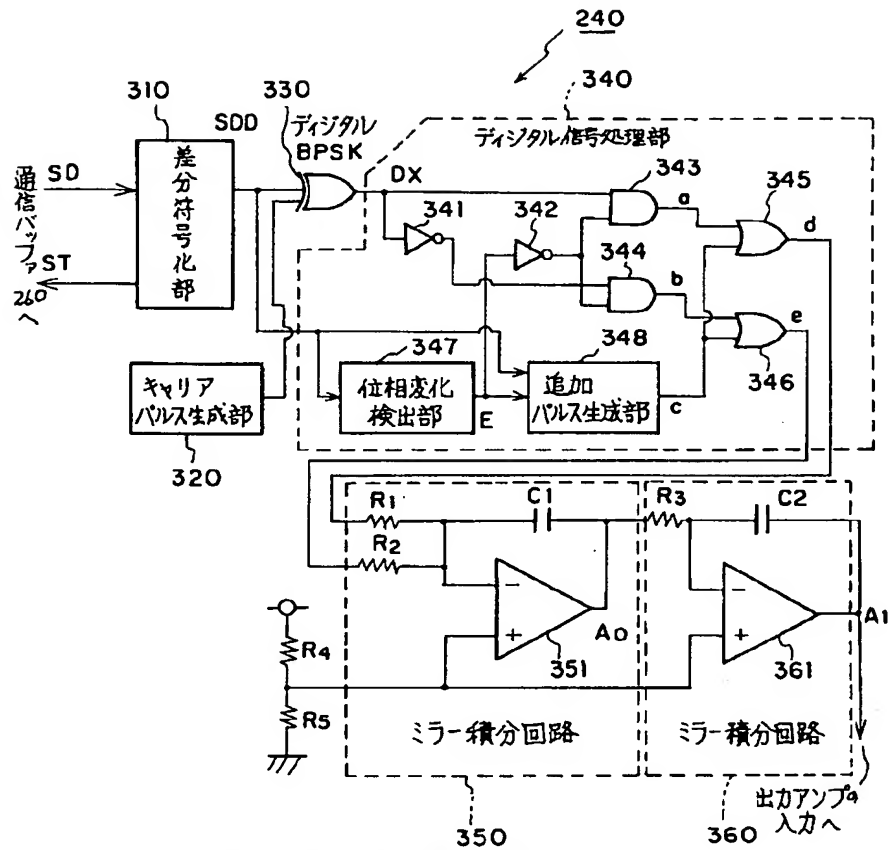


【図10】



612: 送受信用巻線

【図3】



330: XORゲート (変調部)

340: デジタル信号処理部 (信号処理部)

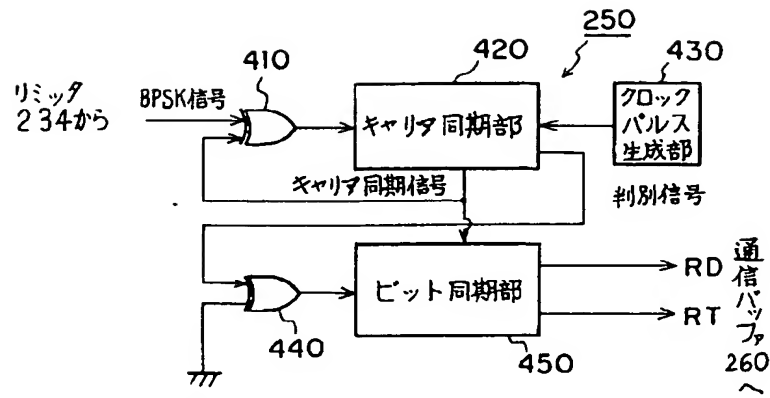
341: インバータ (反転回路)

345: ORゲート (第1の論理和回路)

346: ORゲート (第2の論理和回路)

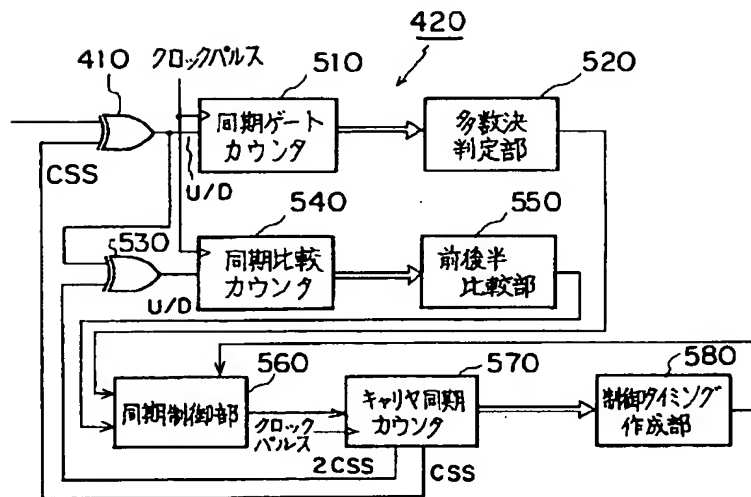
R1、R2: 抵抗器 (電圧加算手段)

【図5】



410 : XORゲート (排他的論理和回路)

【図6】



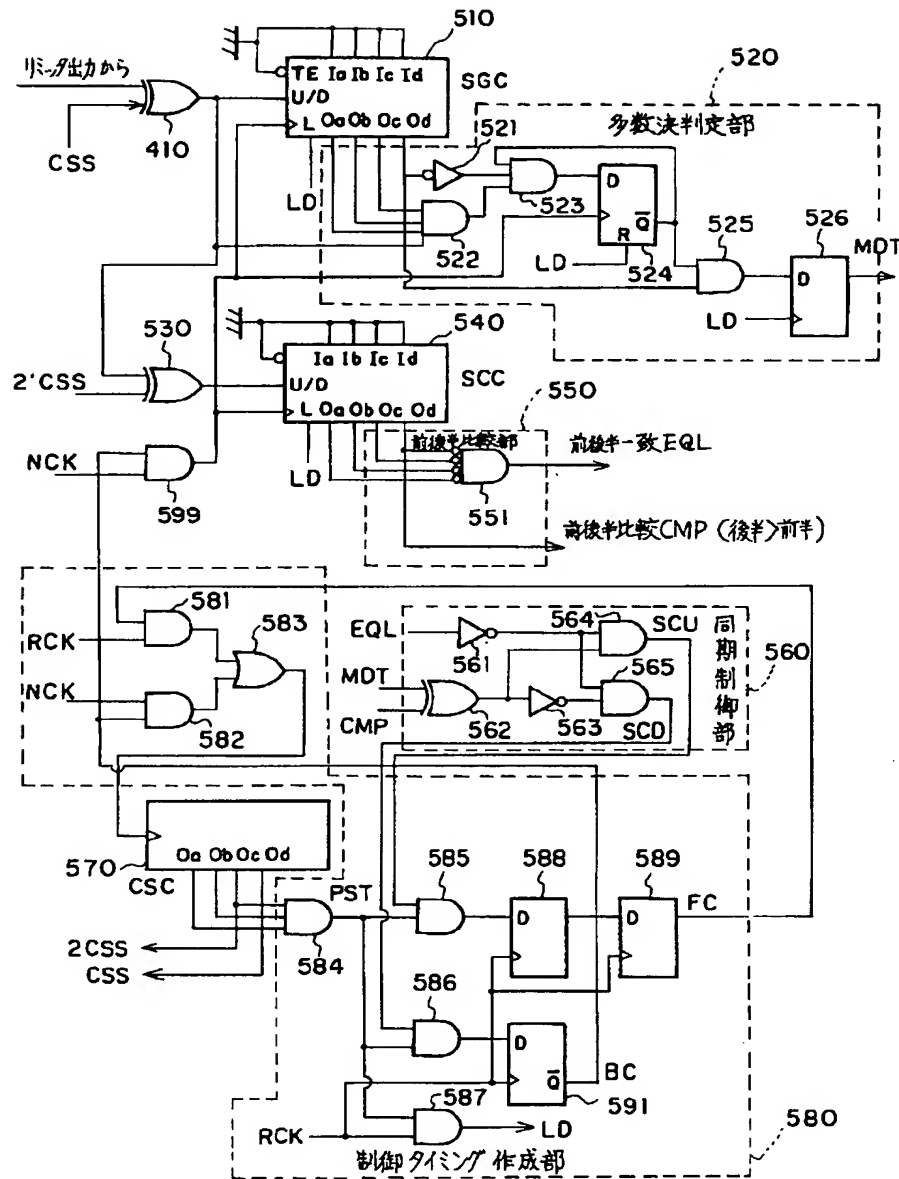
550 : 前後半比較部

570 : キャリア同期カウンタ

(キャリア同期信号生成回路)



【図7】



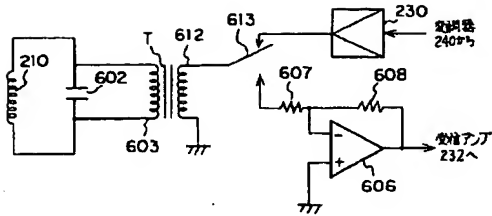
【図8】

CSCカウンタタイミング

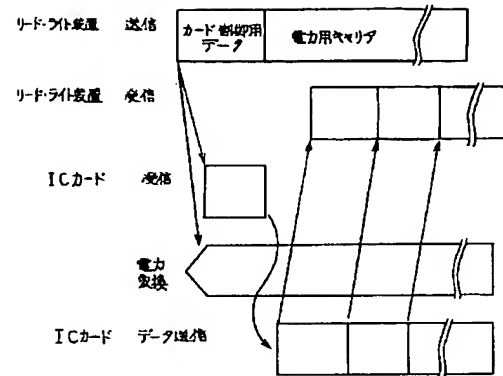
(又は)

	入力信号(リミット出力)	カウンタ名	キャリア同期カウンタ CSC		同期制御 判定条件
			前 半 0 1 2 3	後 半 4 5 6 7	
同 期 一 致	同 位 相	SGC	7 6 5 4	3 2 1 0	NDT
		SCC	7 6 5 4	5 6 7 0	$\overline{\text{EQL, CMP}}$
	逆 位 相	SGC	1 2 3 4	5 6 7 0	NDT
		SCC	1 2 3 4	3 2 1 0	$\overline{\text{EQL, CMP}}$
遅 れ 1		SGC	1 0 7 6	5 4 3 2	NDT
		SCC	1 0 7 6	7 0 1 2	$\overline{\text{EQL, CMP}}$
		SGC	7 0 1 2	3 4 5 6	NDT
		SCC	7 0 1 2	1 0 7 6	$\overline{\text{EQL, CMP}}$
遅 れ 2		SGC	1 2 1 0	7 6 5 4	NDT
		SCC	1 2 1 0	1 2 3 4	$\overline{\text{EQL, CMP}}$
		SGC	7 6 7 0	1 2 3 4	NDT
		SCC	7 6 7 0	7 6 5 4	$\overline{\text{EQL, CMP}}$
遅 れ 3		SGC	1 2 3 2	1 0 7 6	NDT
		SCC	1 2 3 2	3 4 5 6	$\overline{\text{EQL, CMP}}$
		SGC	7 6 5 6	7 0 1 2	NDT
		SCC	7 6 5 6	5 4 3 2	$\overline{\text{EQL, CMP}}$
進 み 1		SGC	7 6 5 4	3 2 1 2	NDT
		SCC	7 6 5 4	5 6 7 6	$\overline{\text{EQL, CMP}}$
		SGC	1 2 3 4	5 6 7 6	NDT
		SCC	1 2 3 4	3 2 1 2	$\overline{\text{EQL, CMP}}$
進 み 2		SGC	7 6 5 4	3 2 1 2	NDT
		SCC	7 6 5 4	5 6 7 6	$\overline{\text{EQL, CMP}}$
		SGC	1 2 3 4	5 6 5 4	NDT
		SCC	1 2 3 4	3 2 3 4	$\overline{\text{EQL, CMP}}$
進 み 3		SGC	7 6 5 4	3 4 5 6	NDT
		SCC	7 6 5 4	5 4 3 2	$\overline{\text{EQL, CMP}}$
		SGC	1 2 3 4	5 4 3 2	NDT
		SCC	1 2 3 4	3 4 5 6	$\overline{\text{EQL, CMP}}$

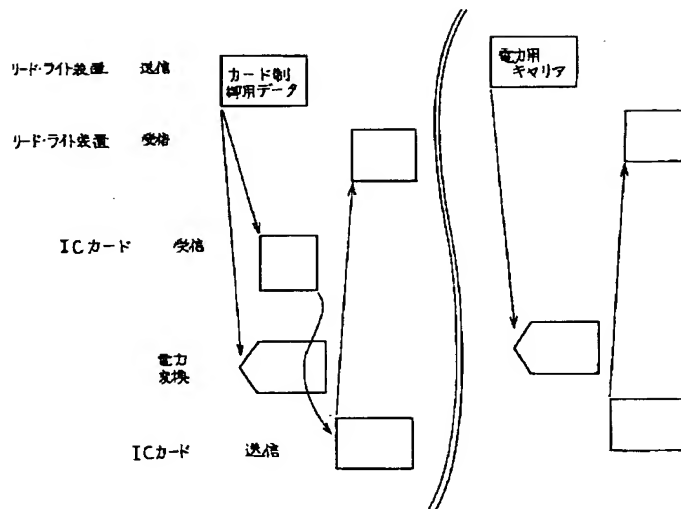
【図11】



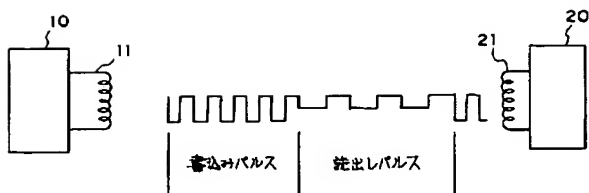
【図12】



【図13】



【図14】



フロントページの続き

(51) Int. Cl.<sup>6</sup>

H04L 27/22

識別記号

FI

H04L 27/22

Z